

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-225830

(43)Date of publication of application : 11.11.1985

(51)Int.Cl.

G02F 1/133
B41J 3/21
G02F 1/133
G03G 15/04
H04N 1/23

(21)Application number : 59-083286

(71)Applicant : CANON INC

(22)Date of filing : 25.04.1984

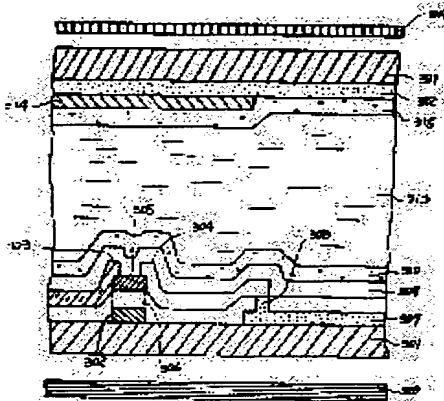
(72)Inventor : INOUE YUJI
KOMATA TOMOJI
OSADA YOSHIYUKI
INOUE YUTAKA
YAMAKAWA TADASHI
SATOMURA HIROSHI

(54) IMAGE FORMING DEVICE AND DRIVING METHOD THEREOF

(57)Abstract:

PURPOSE: To increase number of time division without decreasing an image forming speed by disposing microshutter group which sandwiches a liquid crystal between a substrate provided with plural segment electrodes and a substrate provided with a common electrode into the optical path for exposure.

CONSTITUTION: An FET formed on the substrate 301 is provided with a gate electrode 302 connected to a gate line, a source electrode 303 connected to a data line and a drain electrode 304 for taking out a data signal. The electrode 304 is connected to the segment electrodes 307 forming a shutter part. The resistance of an a-Si film 305 decreases and the electrodes 303 and 304 are made conducting when a scanning signal is impressed to the electrode 302. The liquid crystal element is formed by sandwiching the N-P type liquid crystal between the substrate 301 and the counter substrate 311 in the orientation state and a transparent common electrode 312, a light shielding film 314 and an orientation control film 315 are provided on the substrate 311. The liquid crystal shutter array consisting of such element is disposed in the optical path for exposure via orthogonal polarizing plates 319, 320, by which the number of time division is increased without decreasing the image forming speed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑪ 公開特許公報 (A) 昭60-225830

⑫ Int.CI.⁴

G 02 F 1/133
 B 41 J 3/21
 G 02 F 1/133
 G 03 G 15/04
 H 04 N 1/23

識別記号

1 2 9
 1 1 8
 1 1 6
 1 0 3

厅内整理番号

7348-2H
 8004-2C
 D-8205-2H
 6691-2H
 A-7136-5C

⑬ 公開 昭和60年(1985)11月11日

審査請求 未請求 発明の数 4 (全22頁)

⑭ 発明の名称 画像形成装置及びその駆動法

⑮ 特 願 昭59-83286

⑯ 出 願 昭59(1984)4月25日

⑰ 発明者 井上 裕 司	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
⑰ 発明者 小俣 智 司	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
⑰ 発明者 長田 幸	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
⑰ 発明者 井上 豊	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
⑰ 発明者 山川 正	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
⑰ 発明者 里村 博	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
⑰ 出願人 キヤノン株式会社	東京都大田区下丸子3丁目30番2号	
⑰ 代理人 弁理士 丸島 儀一		

明細書

1. 発明の名称

画像形成装置及びその駆動法

2. 特許請求の範囲

(1) 露光光源及び、該露光光源の露光光路中の光線を光遮断状態と光通過状態の何れか一方に制御するマイクロシャッタ群を備えたプリンタヘッドと、該プリンタヘッドよりの光信号を像保持部材に照射するようになした画像形成装置において、前記マイクロシャッタ群が複数の行及び列に沿ってマトリクス状に配置され、該マイクロシャッタ群が薄膜トランジスタのドレインと接続された1つのシャッタ部を形成するセグメント電極を設けた基板とコモン電極を設けた基板との間に被品を持つ構造をしており、前記薄膜トランジスタのゲート線に走査信号を印加し、この走査信号と同期させてデータ線に画像情報に応じた電気信号を印加する手段を備えたことを特徴とする画像形成装置。

(2) 前記薄膜トランジスタが対向する基板間

に被品を封止するために設けた封止部材より外側に配設されている特許請求の範囲第1項記載の画像形成装置。

(3) 前記薄膜トランジスタとドレインに接続したセグメント電極が同一基板上に形成されている特許請求の範囲第2項記載の画像形成装置。

(4) 前記薄膜トランジスタが外部回路基板の上に形成されている特許請求の範囲第2項記載の画像形成装置。

(5) 前記薄膜トランジスタのチャネル部におけるゲート絶縁膜に印加される電界強度を 5×10^5 V/cm以下とした特許請求の範囲第1項記載の画像形成装置。

(6) 前記薄膜トランジスタが半導体としてアモルファシリコンを備えている特許請求の範囲第1項記載の画像形成装置。

(7) 露光光源及び、該露光光源の露光光路中の光線を光遮断状態と光通過状態の何れか一方に制御するマイクロシャッタ群を備えたプリ

ンタヘッドと、該プリンタヘッドよりの光信号を像保持材に照射するようになした画像形成装置の駆動法において、前記マイクロシャッタ群が複数の行及び列に沿ってマトリクス状に配置され、該マイクロシャッタ群が薄膜トランジスタのドレインと接続された1つのシャッタ部を形成するセグメント電極とコモン電極の間に液晶を持つした構造を有しており、前記複数行のうち選択された行の書き込み期間中に、この行に対応するセグメント電極群とコモン電極の間の液晶に光遮断状態を形成する電圧を印加する第1の期間と該行に対応するセグメント電極群のうち選択されたセグメン電極とコモン電極の間の液晶に光透過状態を形成する電圧を印加する第2の期間を有していることを特徴とする画像形成装置の駆動法。

(8) 前記第1の期間の直前に光源をパルス点灯又は光量を増大させる特許請求の範囲第7項記載の画像形成装置の駆動法。

(9) 前記第1の期間の時間と第2の期間の時

間の和をもつパルス巾の電気信号を薄膜トランジスタのゲート線に順次印加する特許請求の範囲第7項記載の画像形成装置の駆動法。

(10) 前記第1の期間と第2の期間で薄膜トランジスタのゲート線に印加する電気信号を交互に印加する特許請求の範囲第7項記載の画像形成装置の駆動法。

(11) 露光光源及び、該露光光源の露光光路中の光線を光遮断状態と光透過状態の何れか一方に制御するマイクロシャッタ群を備えたプリンタヘッドと、該プリンタヘッドよりの光信号を像保持部材に照射するようになした画像形成装置の駆動法において、前記マイクロシャッタ群が複数の行及び列に沿ってマトリクス状に配置され、該マイクロシャッタ群が薄膜トランジスタのドレインと接続された1つのシャッタ部を形成するセグメント電極とコモン電極の間に液晶を持つした構造を有しており、該薄膜トランジスタのゲート線に走査信号を印加し、この走査信号と同期させて光遮断状態を形成する電気信号をデータ線に印加する第1の期間と該第1の期間の後に薄膜トランジスタのゲート線に走査信号を印加し、この走査信号を印加した行に対応するセグメント電極群のうち選択されたセグメント電極と接続するデータ線に該走査信号と同期させて光透過状態を形成する電気信号を印加する第2の期間を有することを特徴とする画像形成装置の駆動法。

(12) 露光光源及び、該露光光源中の光線を光遮断状態と光透過状態の何れか一方に制御するマイクロシャッタ群を備えたプリンタヘッドと、該プリンタヘッドよりの光信号を像保持部材に照射するようになした画像形成装置の駆動法において、前記マイクロシャッタ群が複数の行及び列に沿ってマトリクス状に配置され、該マイクロシャッタ群が薄膜トランジスタのドレインと接続された1つのシャッタ部を形成するセグメント電極とコモン電極の間に液晶を持つした構造を有しており、該薄膜トランジスタのゲート線に走査信号を印加し、この走査信号と同期

させて画像情報に応じた電気信号をデータ線に印加することにより、複数のマイクロシャッタ群のうち選択されたマイクロシャッタを光透過状態となすことにより形成した光信号を前記像保持部材に所定時間照射した後に該光信号形成時の液晶に印加した電圧極性と逆極性電圧を液晶に印加する期間を有することを特徴とする画像形成装置の駆動法。

3. 発明の詳細な説明

本発明は、n(行)×m(列)個のマイクロシャッタ群をマトリクス配置した液晶シャッタアレイ及び光源を有するプリンタヘッドを備えた画像形成装置及びその駆動法に関する。

これまで、n個の走査電極とm個の信号電極をマトリクス状に構成し、多数の像素やシャッタ開口部を容量型負荷素子である液晶で形成した液晶表示素子や液晶シャッタアレイは、よく知られている。この液晶素子の駆動法としては、走査電極群に順次周期的にアドレス信号を選択印加し、信号電極群には所定の情報信号

をアドレス信号と同期させて並列的に選択印加する時分割駆動が採用されている。この駆動法では、下記の式(1)で示す様に時分割数が増すにつれて V_{ON} (オン信号)/ V_{OFF} (オフ信号)が1に近くなり画素を構成する液晶素子の開閉効率が悪くなる。このため、特に液晶シャッタアレイの場合では、十分なS/N比をもつ光信号を与えることができず、これを電子写真複写機の像端光部(プリントヘッド)に使用した時には良好な画像を形成できない欠点を有している。

$$\frac{V_{ON}}{V_{OFF}} = \frac{\frac{V_0}{a} \sqrt{\frac{a^2 + N - 1}{N}}}{\frac{V_0}{a} \sqrt{\frac{(a-2)^2 + N - 1}{N}}} \quad \dots \dots \dots (1)$$

(式中、 $1/N$: デューティ比、
 $1/a$: バイアス比、 V_0 : 印加電圧)

に対し、画像形成速度を遅くすることなく時分割数を高め、このため安価で高性能な液晶シャッタアレイを備えた画像形成装置及びその駆動法を提供することにある。

本発明のかかる目的は、露光光源及び、該露光光源の露光光路中の光線を遮断状態と光透過状態の何れか一方に制御するマイクロシャッタ群を備えたプリントヘッドと、該プリントヘッドよりの光信号を像保持部材に照射するようとした画像形成装置において、前記マイクロシャッタ群が複数の行及び列に沿ってマトリクス状に配置され、該マイクロシャッタ群が薄膜トランジスタのドレインと接続された1つのシャッタ部を形成するセグメント電極を設けた基板とコモン電極を設けた基板との間に液晶を挟持した構造を有しており、前記薄膜トランジスタのゲート線に走査信号を印加し、この走査信号と同期させてデータ線に画像情報に応じた電気信号を印加する手段を備えた画像形成装置によって達成される。

すなわち、最良の駆動条件は1/1デューティー、つまりスティック駆動であるが、この駆動法では各画素毎をドライバ回路で制御することが必要となっている。例えば、A-4(日本工業規格)の短手幅で画素密度を16ドット/□とした光スポットを発生できる液晶シャッタアレイの場合では、3360個のドライバ回路を必要とし、IC1個当たり32個のドライバ回路を集積した場合で105個のICを必要とすることになる。このため、ステイック駆動法は高密度の画素やシャッタ開口部をもつ液晶シャッタアレイを駆動するには適さない欠点がある。

すなわち、本発明の目的は画像形成速度(プロセスピード)を遅くすることなく、時分割数を増やし、且つ駆動用IC数を減少させるにはICの高耐圧化をはかる必要があり、このためコストダウンがはかれないという従来の問題点を解消し、さらに従来では画像形成速度を遅くしても時分割数はたかだか4程度であったの

以下、本発明を図面に従って説明する。

本発明者らの実験検討によれば、直流のゲート電圧 $V_g DC$ を単位時間(hz)当りで印加した時の閾値電圧 V_{th} の変動分を ΔV_{th} とした時、第1図に示される様にゲート絶縁膜の電界強度 E_g が低レベルのゲート電圧 $V_g L$ (約40V~60V)を越えると、 ΔV_{th} が指數関数的に増大している。このことは、ゲート電圧 V_g が $V_g L$ を越えると急激にライフトайムの短縮が生じることを表わしている。ところが、ゲート絶縁膜に印加される電界強度を $5 \times 10^5 V/cm$ 以下とした時、TFTのライフトайムを短縮せずにゲート電圧 V_g を高くすることができ、従って十分なS/N比、好ましくは5以上のS/N比、好ましくは5以上のS/N比をもつ光信号を発生できる点にも別特徴を有している。

TFTは、 $V_g - V_{th} > V_s$ (V_g : ゲート電圧、
 V_{th} : 関値電圧、 V_s : データ電圧) の非飽和領域で
 用いられ、この領域での $V_x(t) / V_s$ ($V_x(t)$:
 出力電圧) は、充電開始前 ($t = 0$) の時、下記式
 (2) によって表わされる。

$$\frac{V_x(t)}{V_s} = \frac{1 - L \exp(-((1-m)\frac{t}{T}))}{1 - Lm \exp(-((1-m)\frac{t}{T}))} \quad \dots \dots \dots (2)$$

式中、 m 、 T (TFTの充電時定数) 及び L (液
 晶残留電圧電位) はそれぞれ下記式 (3)、(4)
 及び (5) で表わされる。

$$m = \frac{V_s}{2(V_{gh} - V_{th}) - V_s} \quad \dots \dots \dots (3)$$

$$T = \frac{m}{KV_s} C \quad \dots \dots \dots (4)$$

$$L = \frac{1 - V_x(0) / V_s}{1 - m V_x(0) / V_s} \quad \dots \dots \dots (5)$$

又、式中 C は負荷容量を、 V_{gh} はプラス側
 のゲート電圧、 t はゲートオン時間を示し、又 K
 は下式 (4) によって示される。

$$K = \frac{W}{2L} \cdot \frac{1}{d_{ins}} \varepsilon_0 \cdot \varepsilon_s \cdot \mu \quad \dots \dots \dots (4)$$

ε_0 : 真空誘導率 (F/cm)

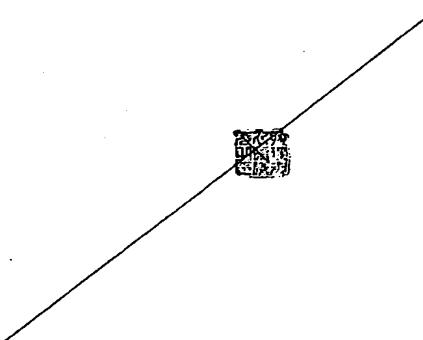
ε_s : 絶縁膜比誘導率

μ : 易動度 ($cm^2/Vsec$)

d_{ins} : 絶縁層膜厚 (cm)

L : チャンネル長 (cm)

W : チャンネル巾 (cm)



式 (2) に従えば、出力電圧 $V_x(t)$ を高
 くするには、データ電圧 V_s を高めることによ
 って達成されるが、 $V_g - V_{th} > V_s$ の関係式
 からゲート電圧 V_g を固めることが必要とな
 る。

しかし、ゲート電圧 V_g を高めることは TFT
 のライフタイムを短縮させることになり、こ
 のため実用的な液晶シャッタアレイ、特に TFT
 のライフタイムを短縮させることなく 20 ボ
 ルト以上の出力電圧 $V_x(t)$ を得ることができる TFT
 マトリクスの時分割駆動法が求めら
 れている。

そこで、本発明者らは前述の点について鋭意
 検討を重ねたところ、TFTのライフタイムを
 短縮させることなく、高圧 (例えば 30 ボルト
 以上、特に 40 ボルト ~ 60 ボルト) のゲート
 電圧 V_g を印加することができる TFTマトリ
 クスの時分割駆動法を見い出すことができた。

すなわち、本発明はゲートオン時間^の TFTのゲ
 ート絶縁膜における電界強度を $5 \times 10^5 V$

/cm 以下となる様にゲート絶縁膜厚を設定す
 ることによって TFTのライフタイムを維持す
 ることができる。本発明の好ましい具体例では
 ゲート絶縁膜を水素原子をドーピングした 60
 00 Å のチッ化シリコン (比誘電率 6.6) で
 形成し、半導体膜を 2000 Å のアモルファス
 シリコン (比誘電率 1.2) で形成した時、ゲー
 ト電圧 V_g を 40 ボルト ~ 60 ボルトで印加し
 ても、TFTのライフタイムの短縮は見られな
 かった。

第 2 図は、本発明で用いうる液晶モードを模
 式的に表わした断面図で、図中偏光板 26 と
 27 はクロスニコルの状態で配置され、さらに 2
 枚の基板 21 と 22 には偏光板 26 と 27 の偏
 光方向に対し液^晶 25 の初期配向方向が 45 度の
 方向となる様にラビング処理などの方法により
 配向処理されている。この際、液^晶 25 としては
 正の誘電異方性をもつネマチック液晶 (N-P 型
 液晶) が使用されている。コモン電極 23 と 2
 4 a に電圧を印加した時には、この電極間の液

晶25の分子軸は電界方向に配向し、入射光Iに対して暗状態（光遮断状態）が形成される。一方、電極23と24との電圧を液晶25の閾電圧以下にすると、この電極間の液晶25の分子軸は初期配向方向、すなわちラビング方向に配向する。この時、入射光Iは透過光Tとなって明状態（光透過状態）が形成される。

第3図(A)は、本発明で用いる液晶素子の断面図で、基板301(ガラス、プラスチックなど)の上にTFTが形成されている様子を示している。TFTは、走査信号を印加するゲート線に接続されたゲート電極302、情報信号を印加するデータ線に接続されたソース電極303とこのデータ信号を出力信号として取り出すドレイン電極304の3つの端子を有している。又、ドレイン電極304はマイクロシャッタ部を形成するセグメント電極307に接続されている。ゲート電極302に走査信号を印加するとアモルファスシリコンフィルム305の抵抗が低下し、ソース電極303とドレイン電極3

04が接続状態となる。

本発明で用いるTFTは、ゲート電極302とアモルファスシリコンフィルム305の間に挟まれたゲート絶縁膜306として、水素原子をドープした6000人チ化シリコン（比誘電率6.6）が使用される。このチ化シリコンフィルムは、ゲート電極302となるクロム／アルミニウム積層蒸着フィルムとセグメント電極307となるITO(Indium Tin Oxide)の蒸着フィルムが所定形状でバーニングされた基板301の上にグロー放電下で全面に亘って形成される。又、ドレイン電極304とセグメント電極307は、チ化シリコンフィルムに設けたスルーホール308を介して接続される。

セグメント

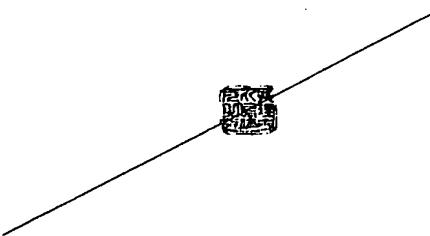
この様なTFTと電極をもつ基板301の上に、さらに水素原子をドープしたチ化シリコンフィルムで形成した絶縁膜309と配向制御膜310が形成されている。この配向制御膜310としては、例えば1000人のポリイミ

ドフィルムが使用される。

本発明で用いる液晶素子は、前述のTFTをマトリクス状に配置したTFTマトリクス基板と対向基板311の間にネマチック液晶313(NP型液晶)が第1図で示した配向状態で挟持されている。対向基板311の上には、コモン電極312となるITOフィルムが形成され、さらに前述した液晶シャッタアレイの場合ではマイクロシャッタ部を形成するために開口部以外を遮光するためのクロム／アルミニウム積層蒸着フィルムよりなる遮光膜314が対向電極312の上に積層されている。これらコモン電極312と遮光膜314の上に配向制御膜315がポリイミドなどによって形成されている。

第3図(B)は、本発明で用いる液晶シャッタアレイを模式的に表わした断面図である。本発明の液晶シャッタアレイは、TFT部316が液晶素子317の基板301と同一基板301の上で、且つ液晶素子317の外部に形成されている。特に、TFT316は液晶素子3

17の基板301とコモン電極312を設けた対向基板311間の液晶313を封止するためには形成したエポキシ系接着剤などによる封止部材318の外側に配置されていることが好ましい。又TFT316は液晶素子317の基板301とは別にIC回路などの外部回路基板(図示せず)の上に設けることもできる。図中の第3図(A)と同一符号のものは、同一部材を表わしている。又、図中319と320はクロスニコルの偏光子で、312はクロム、アルミニウムなどによるTFT316の半導体膜305に対する遮光膜を表わしている。



第4図(A)は、本発明の液晶シャッタアレイで用いるTFTマトリクス基板の回路で、第4図(B)はその平面図を表わしている。TFTマトリクスは、アレイ状にTFT4011, 4012, 4013, 4014, 4015, 4016, 4017, 4018, ……(TFT: 401)が配置された構造を有している。TFT401は、走査信号をゲート電極に印加するゲート線(4021, 4022, 4023, 4024)群402、情報(データ)信号をソース電極に印加するデータ線(4031, 4032, ……)群403とデータ線403からのデータ信号が出力信号として印加されるドレイン電極(4051, 4052, 4053, 4054)と接続したマイクロシャッタのセグメント電極(4041, 4042, 4043, 4044, 4045, 4046, 4047, 4048, ……)群404がそれぞれ接続されている。

本実施例では、データ線4031にTFT

分割で情報の書き込みが行なわれるため、湖走作方向405へ常に移動している像保持部材である感光ドラム(図示せず)上の情報書き込みが1フレーム中で直線となって行なうためである。

第4図(C)は、第4図(B)のA-A'断面図を表わしている。図中、基板409の上に形成したゲート線4021^上には絶縁膜407が一面に亘って覆われているが、交差するゲート線4022, 4023と4024をまたいで、コンタクトホール406を^{木通}してそれぞれが導電膜410によって接続されている。

これらの交差して配置したゲート線上には、絶縁膜408が設けられ、その上にデータ線4031が配置されている。

第5図は、液晶シャッタアレイを用いて光信号を感光ドラムに与えるための概略構成を示している。但し、帶電器、現像器、クリーニングなどは省略している。53は、前述の如き液晶シャッタアレイ、51は感光ドラム(アモルフ

4011, 4012, 4013と4014が共通接続され、データ線4032にTFT4015, 4016, 4017と4018が共通接続されている。一方、ゲート線4021にTFT4011, 4015が共通接続されている。同様に他のゲート線についても図示する如くTFTと共通接続されている。本実施例では4次時分割駆動方式について明らかにしたものであるが、本発明では2次、3次又は5次あるいはそれ以上の多次時分割駆動方式とすることができる。

この様なTFTマトリクス構造では、ゲート電極(及びゲート電極からゲート線へ引き出す引き出しゲート電極)とドレイン電極に接続されているセグメントと電極との間で重なり部がなく、従ってこの重なり部により発生する不要な容量COを生じることがない。

又、本実施例ではマイクロシャッタのセグメント電極群404が順次チドリ状に配列されているが、これは、マイクロシャッタ部が順次時

アスシリコン感光体、有機光導電性感光体)、54は蛍光燈などの光源、52はセルフオックレンズなどのレンズアレイ、55は集光遮光バーである。感光ドラム51は湖走作方向56の方向に回転し、この感光ドラム51の面に光源54と液晶シャッタアレイ53からなるプリンタヘッド部57から発生した光信号を照射することによって情報信号に応じた静電荷像を形成することができる。このため、レーザービームより発生した光信号を照射する方式の電子写真複写機に比べ装置の小型化が可能で、しかもレーザービームを照射する方式で使用されるポリゴンスキャナの様な機械的駆動部がないため騒音がなく、又、厳しい機械的精度の要求を小さくすることができる利点がある。

次に、第4図に示す配列状態のシャッタ開口部(W₁, W₂, ……)で4次時分割駆動を行なう場合のドットパターンを形成する例を説明する。

第6図は、液晶シャッタアレイに印加する駆

動信号のタイムチャートの具体例を渡わしている。ここで、G₁～G₄はゲート線4021、4022、4023と4024に印加する電圧波形で、電位V₂が印加された時TFTがオン状態となりソース電極とドレイン電極の間が導通状態となる。一方、電位が-V₁で印加された時にはTFTはオフ状態となり、ソース電極とドレイン電極の間がカットオフ状態となり、電気的に遮断される。従って、ゲート電極の印加電圧がV₂の時、TFTのドレイン電極に接続されたセグメント電極の電位がTFTのソース電極に接続されたデータ線に印加した電位に変化し、次にゲート電極の印加電圧を-V₁にすると、データ線に印加した電位がセグメント電極に保持される。

Cは、コモン電極に印加する電圧波形で、本実施例では常に電位0に保持されている。S₁はソース電極(データ電極)に印加する電圧波形で、開口部W₁、W₂、…をオンかオフの何れかに設定するに従って、電位を0かVとする

電圧が印加される。

次に、開口部W₁に注目してシャッタ開閉の動作制御について説明する。

時間T₁₁において、マイクロシャッタ部W₁のセグメント電極4041と接続されているTFT4011のゲート線4021(G₁)に接続されたゲート電極の電位がV₂となり、TFT4011はオン状態となる。時間T₁₁とT₁₂(T₁₁+T₁₂=T₁₁)ではデータ電極4031(S₁)の電位はVであるので、マイクロシャッタ部W₁のセグメント電極4041の電位もほぼVとなる。従って、この時マイクロシャッタ部W₁はオフ状態となっている。続く時間T₁₃ではゲート線4021(G₁)に接続されたゲート電極の電位が-V₁となるので、たとえデータ電極4031(S₁)に電圧が印加されても、マイクロシャッタ部W₁のセグメント電極は電位Vを保持することができる。T₁₃=T₁₂+T₁₃+T₁₄で、T₁₂はゲート線4022(G₂)に、T₁₃はゲート線4023(G₃)

に、T₁₄はゲート線4024(G₄)にそれぞれV₂の電圧を印加する期間である。従ってT₁₁+T₁₂+T₁₃+T₁₄が1フレーム期間となる。続くフレーム期間の時間T₂₁で再びゲート電極(G₁)の電位がV₂となってTFT4011がオン状態となる。この時間T₂₁の前半の時間T₂₁でデータ電極(S₁)の電位がVとなり、マイクロシャッタ部W₁のセグメント電極に電圧Vが付与され、続く後半の時間T₂₂(TFTのオン状態が保持されている)でデータ電極(S₁)の電位が0となるので、マイクロシャッタ部W₁のセグメント電極の電位が0に変化し、続く時間T₂₃(=T₂₂+T₂₃+T₂₄)の間、電位0が保持される。従ってマイクロシャッタ部W₁に相当する液晶に印加される電圧が0となっているため、第2図で説明した様にシャッタのオン状態(光透過状態)が1フレーム期間に形成される。

第6図中の|W₁-C|で、マイクロシャッタ部W₁のセグメント電極とコモン電極間、す

なわち液晶に印加される電圧波形を時系列に従って明らかにしている。これに従えば時間T₁₂+T₁₃+T₂₁で|W₁-C|は電位差Vとなっている、次のフレーム期間のうち時間T₂₂+T₂₃で|W₁-C|は電位差0となっている。この時のマイクロシャッタW₁の時系列における透過率の変化を第6図中のT_{r1}で明らかにしている。この図示によれば、時間T₁₂+T₁₃+T₂₁の期間においては、マイクロシャッタ部W₁の透過率はT_{r1}(暗レベル)であり、時間T₂₂+T₂₃+T₃₁の期間においてはマイクロシャッタ部W₁の透過率はT_{r2}(明レベル)まで徐々に上昇し、次のフレーム期間のT₃₁で|W₁-C|がVとなる場合では図示する如くT_{r1}に復帰する。

又、図中の|W₂-C|はマイクロシャッタW₂の電極とコモン電極間の時系列における電位差を示し、T_{r2}はその時の透過率の変化を表わしている。

第7図は、光スポット像のドット d_1^1 と d_1^2 を作製する際のシーケンスを示している。各ドットの内、第1列のドット ($d_1^1, d_1^2, d_1^3, d_1^4, \dots$) はマイクロシャッタ部 W_1 のオンとオフに対応し、第2列のドット ($d_2^1, d_2^2, d_2^3, d_2^4, \dots$) はマイクロシャッタ部 W_2 のオンとオフに対応している。また、各行のドットはそれぞれマイクロシャッタ部 $W_1, W_2, W_3, W_4, \dots$ に対応している。ここで、ドット $d_1^1, d_1^2, d_1^3, d_1^4, d_2^3, d_2^4$ と d_4^4 は暗レベルで、その他のドットは明レベルであるとする。尚、図中71は主走査方向、72は副走査方向を表わしている。

本発明の時分割駆動法では、例えば前記の如き4次時分割駆動によりマイクロシャッタ部を動作すると、1フレーム期間中でマイクロシャッタ部のオン状態（光透過状態）あるいはオフ状態（光遮断状態）を保持することができる。

続
て連続すると、透過率が時間とともに低下するためそれぞれの書き込み時の透過率が相違し、このため各ドット毎の明暗比（プリント画像のコントラスト）にバラツキを生じる問題があった。そこで、本実施例では各書き込み時におけるシャッタ部のオン状態での透過率を一様にするために、前述した様に書き込み時の初期期間で走査信号と同期させて入力させる情報信号に電圧 V を負荷し、強制的に一担液晶に電圧 V を印加して暗状態を形成すると、次にマイクロシャッタ部のオン状態が続いても再び第8図に示す1ドット書き込み時間でにおける透過率となり、各ドットにおけるオン状態での透過率を全て一様なものとすることができます。

従って、この強制的なシャッタ閉時間をデータ書き込みの直前又は直後に設定することにより、データ書き込みの際のシャッタ閉時及びシャッタ閉時の画面上において、常に安定した透過光量が得られ、常に安定したコントラストのプリント画像を得ることが可能となる。各ドッ

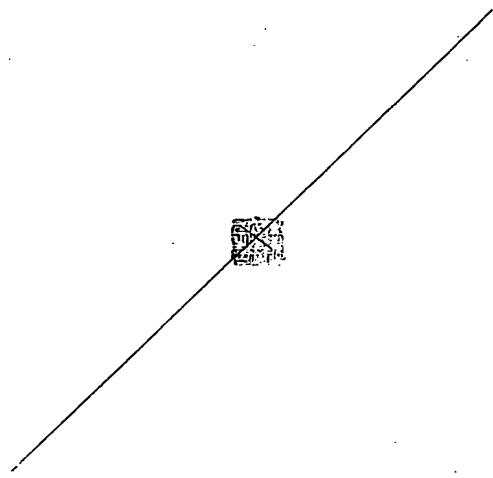
すなわち、暗レベルのドットを形成する時は1行分のドット生成時間 ($T_{12} + T_{13} + T_{21}$) に亘って透過率を暗レベル (T_{rd}) とし、又明レベルのドットを形成する時には1行分のドット生成時間 ($T_{22} + T_{23} + T_{31}$) に亘って透過率を明レベル (T_{rl}) とすることができる。この時の明暗比、すなわち S/N 比は第6図中の面AとBとの比に相当したものとなり、従来の液晶シャッタアレイで使用されていた単純マトリクス方式の場合と較らべて S/N 比を大幅に向上することができる。

又、本実施例では第6図に示す様にゲート線を走査する初期期間において、この走査信号と同期させて入力する情報信号には電圧 V が付加されている。これは、前述の第2図に示す方式の液晶に印加される電圧を0とすると、透過率は第8図に示す様に時間に対して波型状に変化する。この現象は一般に光のバウンシング現象と呼ばれている。従って、第8図によれば1つのマイクロシャッタ部でオン状態が3でに亘っ

トを形成するためのデータ信号をデータ電極に与える前に、前回のドット形成が明レベルか暗レベルかの如何にかかわらず、液晶層に電圧が印加される様に信号を与えることができる。この時、液晶層に電圧が与えられ、透過率が充分に低くなる時間を T_{11} とし、時間 T_{12} で TFT 401を介してセグメント電極404の電位がデータ電極403の電位に変化するのに充分な時間にする必要がある。

本発明者らの実験によれば、8mmの液晶に20Vの電圧を印加する場合、時間 T_{11} は約0.24msec、従って0.2msec以上であればよく、又時間 T_{12} は数十 μ secであれば充分で、時間 $T_{11} + T_{12}$ は約0.3msec以上であればよいことが判明した。又、閉口部分（シャッタ部）密度を16ドット/mm²画像形成速度（プロセススピード）を50mm/secとすると、第1行のドット形成時間 ($T_{11} + T_{12} + T_{13}$) は、1.25msecとなるので、時間 $T_{11} + T_{12}$ を1.25msecの1/4時間、

即ち 0.3125 msec に設定して 4 次時分割駆動を実現できることが判明した。さらに、この際、明暗比が 6.5 にまで向上し、明レベルの光量が従来の単純マトリクス駆動方式の場合と比較して 2 倍以上となっていることも判明した。



そこで、第 9 図に示す様にシャッタ開口部を強制的に閉じるために必要な時間（本発明者らの実験では、 $T_{11} = 0.24 \text{ msec}$ 、液晶の厚み $8 \mu\text{m}$ 、駆動 40 V とした）でゲート線 $G_1, G_2, G_3, \dots G_n$ (n : 時分割数) に順次ゲートオンパルスを印加し、これと同期させてデータ電極に電圧 V を印加する。従って、順次マイクロシャッタ部がオフ状態となり、続くフレーム期間でデータ電極に選択信号（電圧 0 か V ）を印加する。すなわち、第 1 走査期間 t_1 でマイクロシャッタ部に対応する液晶に電圧 V （コモン電極の電極の電位を 0 とする）を印加することによってマイクロシャッタ部の全てがオフ状態となり、この第 1 走査期間 t_1 はリフレッシュ期間に相当している。続く第 2 走査期間 t_2 でデータ信号に従った電圧をデータ電極にゲート線の走査信号（ t_1 ）と同期させて印加することによって、所定のマイクロシャッタ部をオン状態又はオフ状態に設定する。この第 2 走査期間 t_2 はデータ書き込み期間に相当

第 9 図は、本発明の時分割駆動法の別の具体例を表わしている。第 9 図に示す具体例は、さらに時分割数を増大させた場合に適した駆動法である。

すなわち、第 6 図に示す駆動例では、開口部 T_{rd} の透過率を明レベル T_{rl} に転移させるに要する時間 T_{11} （1 フレームについて述べる）にゲート最低オン時間（データ電極の電圧をドレン側で得るのに要する最低時間） T_{12} を加えた時間 ($T_{11} + T_{12}$) の間でゲート電極をオン状態としているため、時分割数を多くするには限度がある。すなわち、開口部密度を 16 ドット/ mm とし、プロセススピードを 50 mm/sec とした時、時分割数は、下記の式 (6) によって示される。

$$n = \frac{1.25 \text{ msec}}{T_{11} (\text{msec}) + T_{12} (\text{msec})} = \frac{1.25 \text{ msec}}{0.2 \text{ msec} + T_{12} (\text{msec})} \quad (6)$$

この際、時間 T_{12} は数 μsec ~ 数十 μsec で充分であり、時分割数 n は時間 T_{11} によって制御されることになる。

している。

第 9 図に示す具体例では、前述のリフレッシュ期間とデータ書き込み期間を交互に設けて駆動するもので、さらに本例ではこのデータ書き込み期間とリフレッシュ期間の間に任意の電圧印加期間 t_3 が付加されているが、この任意期間 t_3 は省略することも可能である。この様な駆動法を用いた時の時分割数 n は式 (7) によって表わされる。

$$n = \frac{\text{フレーム期間 } t_1 (\text{msec})}{\text{ゲート線の走査信号印加期間 } t_1 (\text{msec})} \quad \dots \dots (7)$$

今、フレーム期間 t_1 を 0.24 msec とし、ゲート最低オン時間（走査信号印加期間 t_1 ）を $5 \mu\text{sec}$ とすると、時分割数は 48 まで可能となった。又、第 9 図中の T_r にゲート線 G_1 とデータ電極 S_1 の端子を接続した T_F でスイッチングされるシャッタ部の時系列における透過率の変化を表わしている (T_{rl} : 明レベル, T_{rd} : 暗レベル)。

第 10 図は、もう 1 つの他の具体例を表わし

ている。前述の第9図に示す駆動例では時間 t_1 の間で必ず1つのTFTに対してゲートオンパルスが印加され、オン状態となっているが、本発明では時分割数nを比較的少なくし(第10図に示す例では時分割数nが4となっている)。これによりデータパルス印加時間を短縮することができる。すなわち、第10図に示すマイクロシャッタ部W₁, W₂, W₃とW₄(第4図の開口部に対応)における透過率波形に示す様に最初に駆動されるマイクロシャッタ部W₁と最後に駆動される開口部W₄の駆動時間差を短縮することができる。

今、ここで光源の点灯波型を第10図のLの様にすると、その時の各開口部におけるオン状態の透過光のエネルギーはW₁S, W₂N, W₃S, W₄Sで示す面積となる。この場合、開口部W₁, W₃, W₄はシャッタオン状態であり、そこからの透過光のエネルギーはW₁S > W₃S > W₄Sとなるが、この駆動に関しては前記した様に、データパルス印加時間 t_2 が

時間 t_2 を設定したことによりS/N比(W_4S/W_2N)が多少低化するが、前記した様にW₁SとW₄Sとのエネルギー差が小さくなる様に時間 t_2 を設定すればS/N比が大幅に改善され、常に安定した電子写真プリント画像を得ることができる。尚、図中の時間 t_5 は任意期間である。

第11図及び第12図は、本発明の別の態様を表す駆動例を示している。

第11図は、時分割数nを8とした時のゲート線に印加する電圧波型とデータ電極に印加する電圧波型を明らかにしている。時間t_aは1画素形成時間に対応していて、式(8)で計算される。

$$t_a = 1 / V_p \cdot N \quad \dots \dots (8)$$

(式中、

V_p: プロセススピード mm/sec

N: pixel数)

第11図において、TFTのゲート最低オン時間 t_1 とした時、 $t_a \geq t_1$ 、 $t_b > t_1$ と

短いため、この差はほぼ無視できる。例えば、開口部(シャッタ部)密度16ドット/mm²、プロセススピード50mm/sec、ゲート最低オン時間 t_1 を5μsecとして4次時分割駆動を行なう場合では、データパルス印加時間 t_2 は20μsecとなる。これに対して時間 t_3 は1msec程度である。従って、この程度の時間差による光エネルギーW₁S, W₃SとW₄Sの差は、ほとんど無視することができる。

この様に光額を最初のゲートにリフレッシュ(昇月)パルス(リフレッシュパルス印加時間 t_4)をする直前で、点灯(あるいは、この時間のみ光量UP)することにより、そのS/N比は最悪の場合を見積ってもW₄S/W₂Nとなる。今、発光中心波長を650nm程度とした光源を使用し、開口部密度16ドット/mm²、プロセススピード50mm/sec、光源点灯時間 t_5 を200μsecとすると、W₁S/W₂Nは10倍以上となる。又、データパルス印加

して t_a と t_b を交互にして時間を区切り、時間 t_a は液晶に必ず電界を印加し、開口部をオフ状態とし、透過率の変動を防ぐための電位を開口部電極にリフレッシュ(消去)期間で、時間 t_b は開口部のオンとオフ状態を制御するための電位をマイクロシャッタ部のセグメント電極に与えるデータ書き込み期間としている。

第12図には8次時分割駆動で用いるTFTマトリクス1202とかかるTFTに接続したゲート線1201、データ線1202と開口部W₁, W₂, …に接続したセグメント電極1204を示している。ゲート線1201のうち選択されたゲート線には1画素形成時間内でリフレッシュ期間 t_a と書き込み期間 t_b のみに電圧V₂が印加され、他の選択されないゲート線には電圧-V₁が印加される。すなわち、第11図に示す様に最初のリフレッシュ期間 t_a でゲート線G₁に電圧V₂が印加され、続く書き込み期間 t_b とリフレッシュ期間 t_a の組を2組分の間でゲート線G₁に電圧-V₁が印加

界

され、次の書き込み期間で b でゲート G₁ に電圧 V₂ が印加され、残りの 1 画素書き込み時間ではゲート線 G₁ の電位を -V₁ とする。次のゲート線 G₂ にはゲート線 G₁ に印加したゲート信号をリフレッシュ期間で a と書き込み期間 _他 分だけ時間的にずらした波形とする。同様に次のゲート線 G₃, G₄, G₅, G₆, G₇ と G₈ を順次時間的にずらした波形とすれば、2つ以上のゲート線に同時に電圧 V₂ が印加されない様なゲート信号波形が形成されている。次に、開口部での動作を説明する。

マイクロシャッタ部 W₁ に接続されたセグメント電極には、時間 t₁ でゲート線 G₁ の電位が +V₂ となり、データ線 S₁ に接続されたデータ電極には電圧 V が印加される。続く書き込み期間で b でゲート線 G₁ の電位は -V₁ となり、TFT12021 がカットオフ状態になるために、データ線 S₁ の電位にかかわらずマイクロシャッタ部 W₁ のセグメント電極は電位 V が保持される。このことは、時間 t₁ でマイ

クロシャッタ部 W₁ に対応する液晶には電解が必ず印加されている状態となって、マイクロシャッタ部 W₁ のオフ状態が形成される。続く書き込み期間で b でゲート線 G₁ は電位が +V₂ となるので、この時ドット d₁¹ を暗レベル（オフ状態）とすにはデータ線 S₁ の電位を V とし、明レベル（オン状態）とするにはデータ S₁ の電位を 0 とする様に、それぞれの明暗レベルに対応した電位がマイクロシャッタ部 W₁ のセグメント電極に印加され、繰り返しリフレッシュ期間で a から後では 1 画素書き込み期間でが終了するまでゲート線 G₁ の電位が -V₁ となり、TFT12021 がカットオフ状態となるため明暗レベルに対応した電位が保持されることになる。

この駆動法を用いた際の時分割数 n を最大値のものとした時の例を第 13 図に示す。例えば、開口部密度を 16 ドット/mm (16 pixel)、プロセススピードを 50 mm/sec、時間 T_c = 240 μsec、時間 t_i = 78 μsec

c とした時、時分割数 n は第 9 図に示す駆動例の場合で 240 / 78 = 3 であるが、第 13 図に示す駆動例の場合で 8 時分割が可能である。

第 11 図と第 12 図に示した駆動法においては、1 行書き込み時間において隣り合うゲート線へのオンパルスが第 9 図と第 10 図で示した駆動例の様に時間差がなく連続的に印加されるのではなく、ゲート最低オン時間 t₁ でだけに時間差を生じる。従って、外部回路（時分割駆動用に入力データを振り分けるインターフェイス回路）において、データ電極へのデータ転送速度を第 9 図と第 10 図に示す駆動法の 1 / 2 になすことができ、その部分での回路構成が簡略化することができ、又コストダウンの上でも有効なものとなる。

又、第 11 図に示す駆動例は最適な時分割をなしていない場合であり、時間 t_d で常にゲート線 G₁ ~ G₈ のうち、何れか 1 つのゲート線にゲートオンパルスを印加しておらず、つまり

時間 t_d 内でどのゲート線にもオフ電圧が印加されている時間を生じる。従って、各ゲート線へ接続したバッファ回路へのデータ転送速度を遅くすることができ、この点で回路設定が容易となり、コストダウンの上で有効である。

又、本発明では液晶シャッタアレイを第 5 図に示す光信号発生部に取り付けて第 15 図に示す如き電子写真複写機により、カットされたプリント（転写紙）にトナー画像を形成する際に、この転写紙の送り間隔を設けることが必要となっているが、この転写紙送り間隔の時間 T_y に第 14 図に示す様にデータ電極の電位 0 とし、コモン電極の電位を +V_d とすることにより、1 画素形成時（例えば、1 枚のコピー形成時 T_x）とは逆極性の電圧を液晶に印加することができる。（T_z：次の画面形成期間）。例えば、電子写真複写機における転写紙送り間隔は、その紙間距離で見た時には一般に 30 mm ~ 50 mm となっている。従って、例えば紙間距離を 50 mm とし、そのプロセススピードを

50 mm/secとした時で、紙間に1秒間に亘って液晶シャッタアレイを通過することになるため、この期間における電圧属性を第14図のとおりすることによって、実質上直流駆動とはなっておらず、このため液晶シャッタアレイの寿命を向上させることができる。

第15図は、前述の液晶シャッタアレイを用いた電子写真複写機の一例を示すもので、感光ドラム1501を矢印1502の方向に回転駆動させ、まず帶電器1503により感光ドラム1501を一様に帯電させ、液晶シャッタアレイ1504を駆動させて、背後に配置した光源1505よりの光線を選択的に開閉制御して光信号を発生させ、この光信号を帯電された感光ドラム1501に照射して静电潜像が形成される。

この静电潜像は、現像器1506のトナーにより現像され、このトナー現象は転写ガイド1507を通ってきた複写用紙P(転写紙)上に転写帶電器1508により転写される。画像の

転写を受けた複写用紙Pは分離ベルト装置1509により感光ドラム1501から順次に分離され、次いで定着装置1510で画像が定着されるようになっている。また、転写後感光ドラム1501の表面上に残留したトナーはクリーニング装置1511により除去され、前露光装置1512により感光ドラム1501が除電され、再び次の複写サイクルが可能になるようにしてある。ところで、第15図に於る液晶シャッタアレイ1504には前述の第2図に示す液晶セルを採用している。つまり、露光光源1505からの光線を液晶セルを備えた液晶シャッタアレイ1504、セルフォオクレンズなどのレンズアレイ1513を介して感光体1501の上に結像する際に、図示していない原稿情報読み取り装置によって得られた画像情報を含んだディジタル信号により液晶駆動回路1514を動作させて液晶シャッタアレイ1504をON-OFFさせることにより、画像情報のパターンを有する光信号を感光体1501の上

に露光するようになっている。この実施例に於ては露光光源1505が液晶セルの加熱の機能も果しており、感熱裏子1520に接続された液晶温度制御回路1516で液晶冷却用ファン1517を動作させることにより、液晶セルの過熱を防止し、液晶セルを一定程度に維持するようになることができる。図中1518は反射鏡、1519はレンズアレー1513を液晶シャッタ装置へ装着するための部材である。

ところで、従来のTFTを用いていない液晶シャッタアレイは第16図に示す電極構造を有しており、この電極構造では、第17図に示す駆動波形が印加されていた。

たとえば、液晶の厚みを8μm程度にし、共通電極に±10Vの矩形波を印加し、信号電極には、選択する行のシャッタ部をオン状態にするときは、その共通電極と同じ電圧波形を印加し、シャッタ部をオフ状態にするときは、0Vを印加する。第17図において、時間T1はA1のみオン、時間T2はA1のみオンに

した場合で、そのときのA1とA2のそれぞれの液晶層にかかる電圧の絶対値を|VA1|、|VA2|で表わしている。このように、信号電極につながるシャッタ部のうち、どれか1つをオン状態にするときは、液晶層には2Vすなわち20Vの電圧がかかるが、信号電極につながるシャッタ部をすべてオフ状態にするときはV_sすなわち10Vしか電圧がかからない。従って、A1の透過率は、時間T2でTd1であるのに対しA2の透過率は時間T1、T2にわたってTd2であり、かつTd2>Td1となる。

この場合、1つのドットは、時間T1およびT2にわたって形成される。従って、感光ドラムの受ける光量の大きさは、シャッタ部がオンのとき面積1201(1210a+1'210b)、開口部オフのとき面積1202(1202a+1202b)に比例する。

従って、電圧Vを低くすると、明暗比がそれなくなる。

また、時分割数を大きくすると、面積 170 1a に比較し、1702b が大きくなるために明暗比がそれなくなる。

一方、1mm 当り 16 ドットを形成し、画像形成速度を 50 mm/s (A4 サイズの画像をたて送りで毎分 6 ~ 8 枚形成する速さ) とし、2 時分割駆動を行なったとき、T₁ は 0.625 ms となる。このレベルにおける液晶シャッタの透過率変化の形状がだいたい第 12 図 A 1 で表わされている。すなわち、T₁ をさらに長くすると、透過率 T_e がさらに大きくなるが、シャッタオンの長さが短いために、さほど高い透過率が得られない。

実際、T₁ を 1.25 ms とし、2 時分割駆動を行ない、電圧を前述の説明の倍の電圧 ±20 V とした場合でも照射光波長を 550 nm にして明暗比が 3 倍程度になってしまふ。

ところが、感光体において明、暗に対し、白、黒を対応させる場合、少なくとも明暗比は 5 倍以上である。従って、明暗比を 5 倍以上に

以上説明した様に、薄膜トランジスタを用いて液晶シャッターを駆動することにより、実質駆動は時分割で行なっているながら、シャッター透過光の波形は直接駆動（時分割しない駆動）と同等の物を得ることが出来る。

つまり、時分割駆動が可能になることにより、データ電極の本数を低減出来（像素密度 16 dot/mm、全長 210 mm の場合、直接駆動時データ電極本数 = 3360 本、8 時分割データ電極数 = 420 本），従って、

(1) 液晶シャッターセルと駆動用 IC との接続（実装）が容易となり、実装コストの減少がはかれる。

(2) IC の個数を低減できる。

等の効果がある。

又、液晶シャッターの透過光の波形は直接駆動と同等の為、1 dot 密着込み時間を長くとれ、シャッター開時の透過光の光エネルギーを大きくする事が出来る。第 6 図に示した様に DAP 式液晶（第 2 図の液晶モード）のシャッ

ターラーを開にした場合、その光は徐々に透過する。第 6 図の様に透過光の波形は、三角形の形状になる。透過光の光エネルギーは面積 A であり、例えば時間が倍になれば光エネルギーは倍以上にすることができる。

又、第 18 図に実験により求めた従来の液晶シャッタアレイ（8 μm の液晶層）に交番電圧を印加した時の大きさと透過率の関係を示す。図中、18 1 は板長 489 nm での透過率を、18 2 は 655 nm での透過率の変化を示している。

この実験結果からもわかるように、液晶層にかかる電圧 V_{LC} が、長波長（赤側）の照明を用いたときで 20 V 以下、短波長（青側）での照明を用いたときで 30 V 以下にすると急激に透過率が増大してしまう。

ターラーを開にした場合、その光は徐々に透過する。第 6 図の様に透過光の波形は、三角形の形状になる。透過光の光エネルギーは面積 A であり、例えば時間が倍になれば光エネルギーは倍以上にすることができる。

従って、コントラスト比（明部光エネルギー [面積 A] / 暗部光エネルギー [面積 B]）も飛躍的に大きくとれる。

今、光源の発光中心波長を 540 nm とし、像素密度 16 dot/mm、プロセススピード 50 nm/sec とした時、2 時分割駆動を行なった場合、3 倍以下であったが直接駆動を行なった場合 6.5 倍程度にひき上げることが可能である。

4. 図面の簡単な説明

第 1 図は、ゲート絶縁膜と ΔV_{th} の関係を示す説明図である。

第 2 図は、本発明で用いる液晶素子の断面図である。

第 3 図 (A) は、本発明の TFT を用いた液

液晶素子の断面図で、第3図(B)は、本発明の別の液晶素子の断面図である。

第4図(A)は、本発明の液晶シャッタアレイの構造回路を示す説明図である。

第4図(B)は、本発明の液晶シャッタアレイの平面図で、第4図(C)は、そのA-A'断面図である。

第5図は、本発明で用いるプリンタヘッド部の斜視図である。

第6図は、本発明の液晶シャッタアレイに印加する駆動信号のタイムチャートを表わす説明図である。

第7図は、本発明の液晶シャッタアレイによるドット作成の際のシーケンスを表わす説明図である。

第8図は、シャッタオン状態時の時系列における光透過率の変化を表わす説明図である。

第9図、第10図及び第11図は、駆動信号のタイムチャートの別の具体例を表わす説明図である。

第12図は、本発明の液晶シャッタアレイの構造回路の別の具体例を表わす説明図である。

第13図及び第14図は、本発明の液晶シャッタアレイに印加する駆動信号のタイムチャートの別の具体例を表わす説明図である。

第15図は、本発明の画像形成装置を模式的に表わす説明図である。

第16図は、従来の液晶シャッタアレイの電極構造を表わす平面図である。

第17図は、従来の液晶シャッタアレイに印加していた駆動波形を表わすタイムチャートの説明図である。

第18図は、従来の液晶シャッタアレイに於ける電圧と光透過率の関係を表わす説明図である。

302；ゲート電極

306；ゲート絶縁膜

305；半導体膜

303；ソース(データ)電極

51, 1501；感光ドラム

54, 1505；光源

52, 1513；レンズアレイ

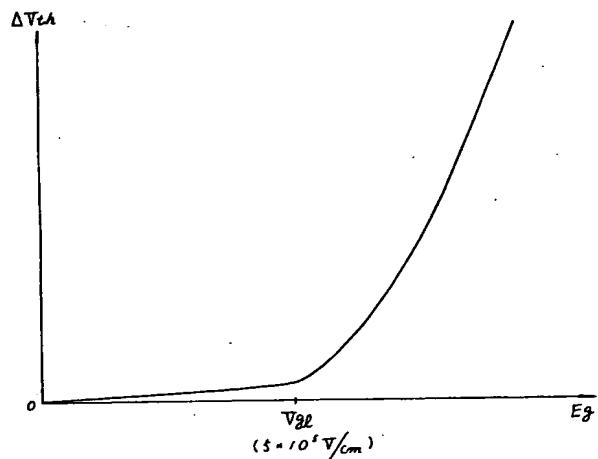
特許出願人 キヤノン株式会社

代理人 弁理士 丸島儀一

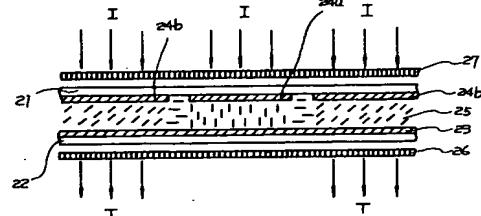


304；ドレイン電極
 307；セグメント電極
 312；コモン電極
 314；遮光膜
 310, 315；配向制御膜
 313；液晶
 401 (4011, 4012, ...)
 ; TFT
 402 (4021, 4022, ...)
 ; ゲート線
 403 (4031, 4032, ...)
 ; データ線
 404 (4041, 4042, ...)
 ; セグメント電極
 W₁, W₂, W₃, ...
 ; マイクロシャッタ部
 405；湖走査線
 406；コンタクトホール
 57；プリンタヘッド部
 53, 1504；液晶シャッタアレイ

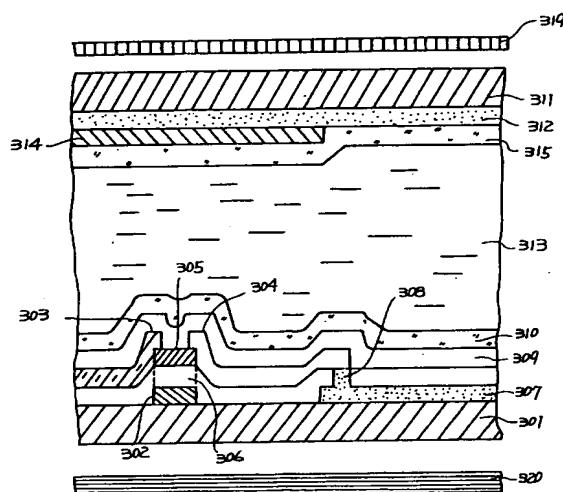
第1図



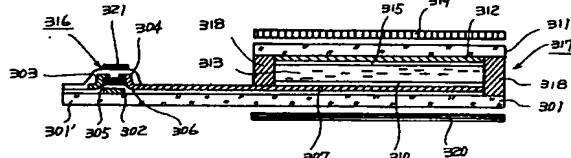
第2図



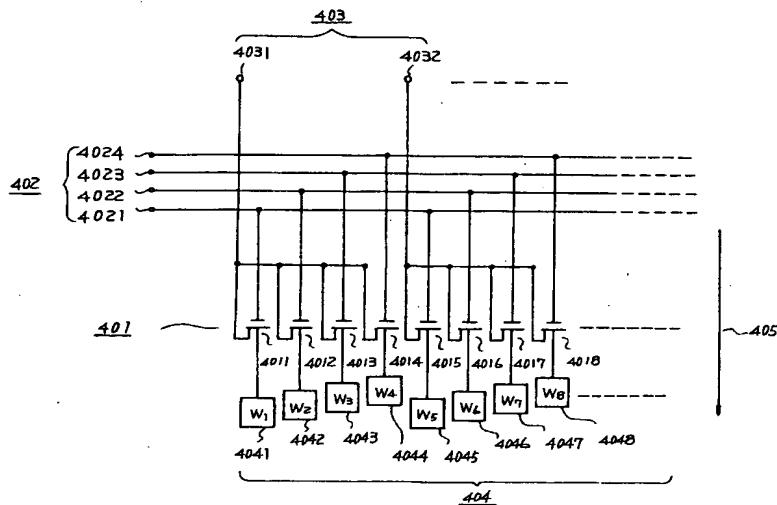
第3図 (A)



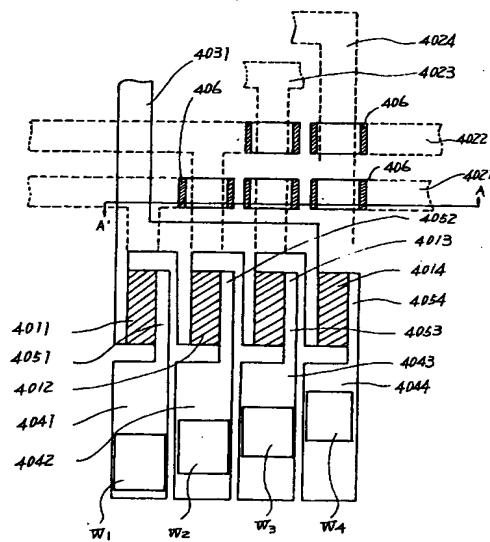
第3図 (B)



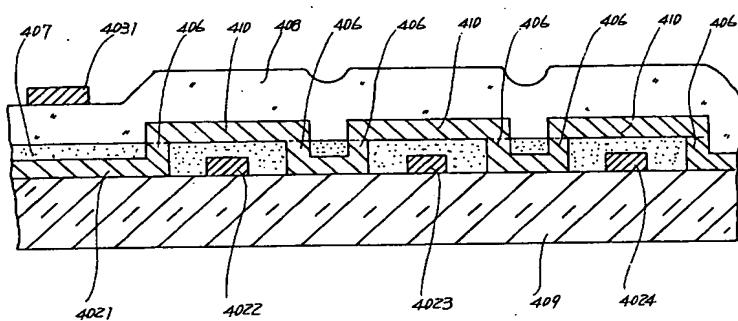
第4図 (A)



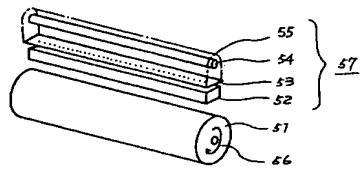
第4図 (B)



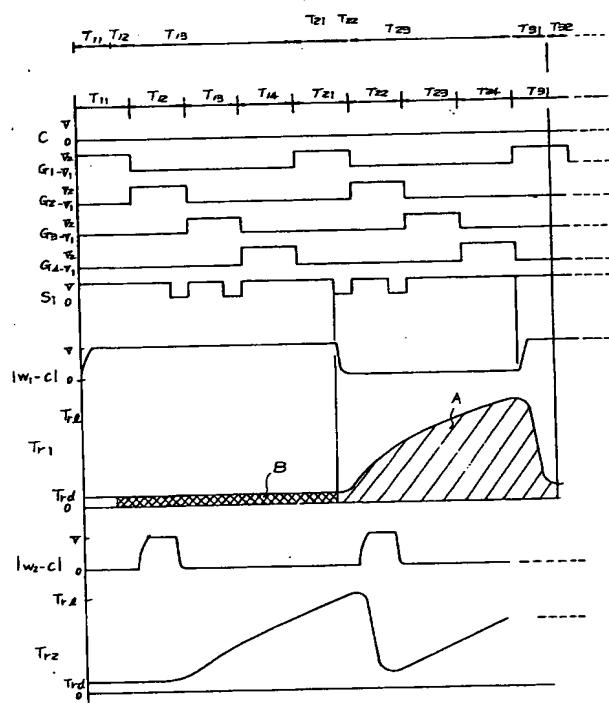
第4図(c)



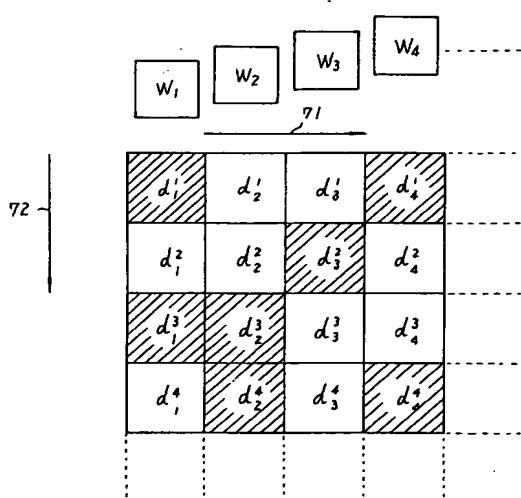
第5図



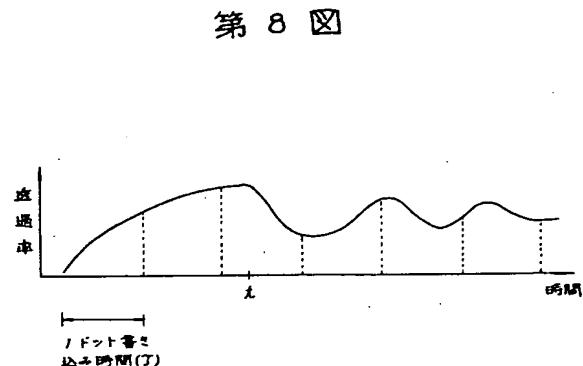
第6図



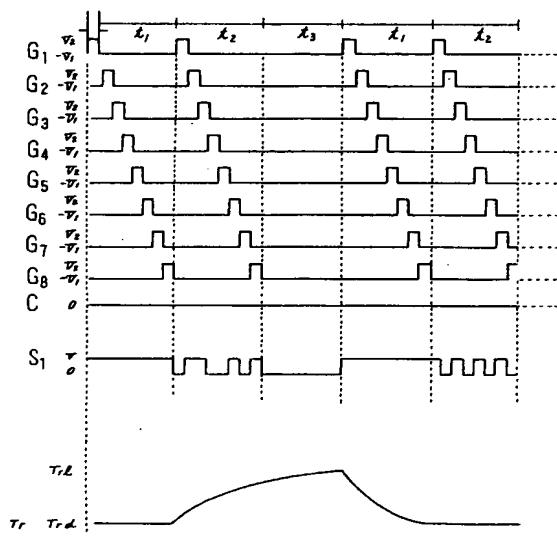
第7図



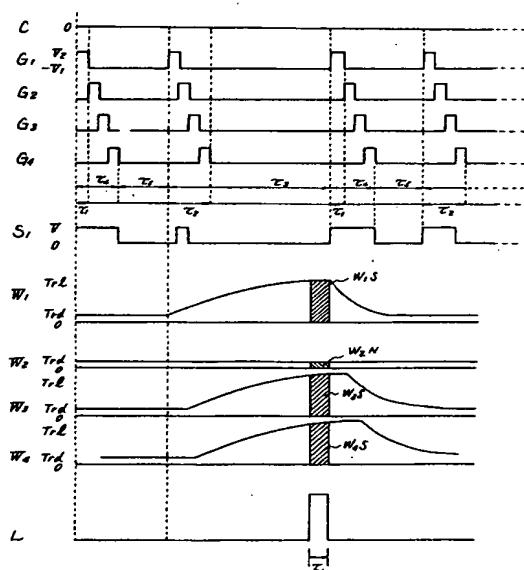
第8図

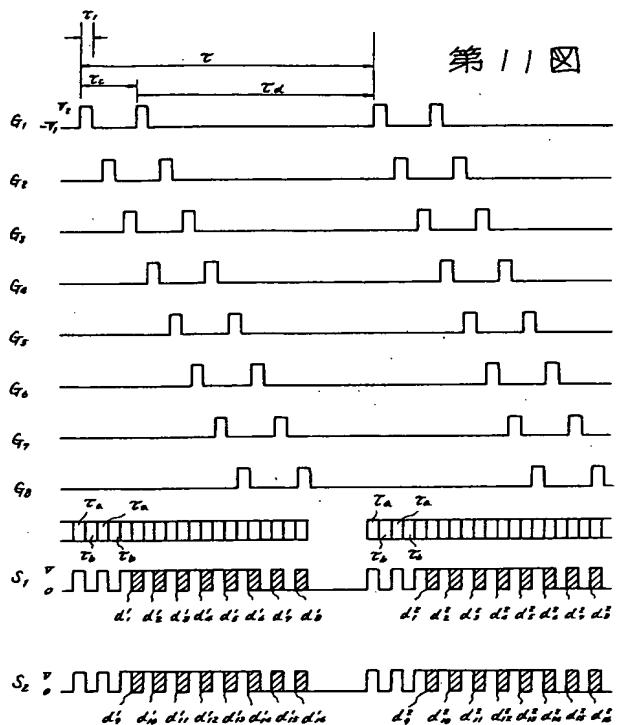


第9図

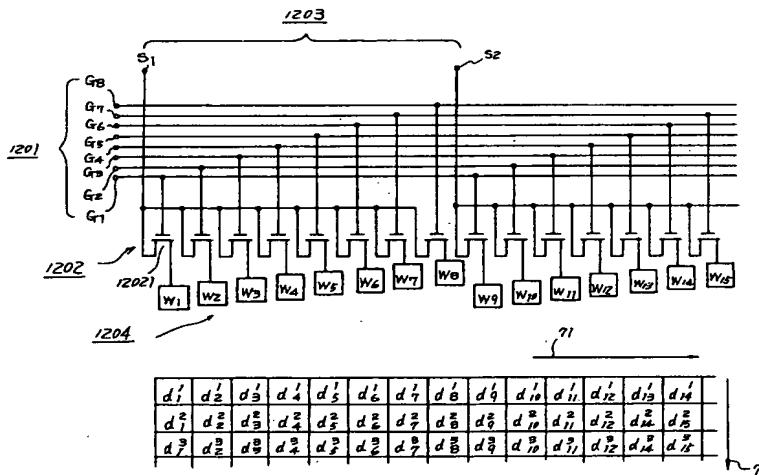


第10図

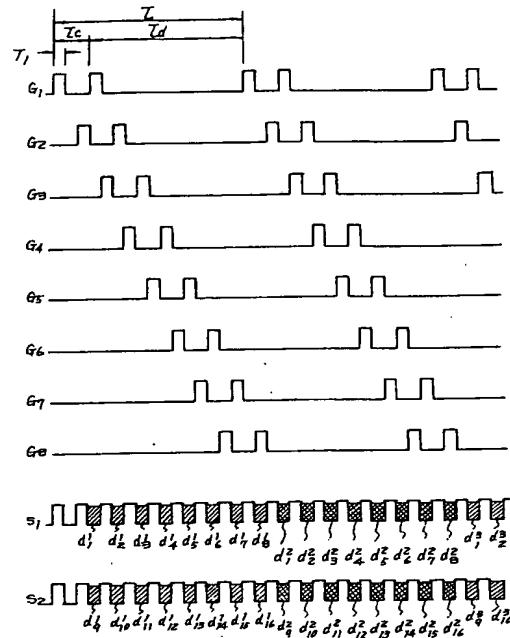




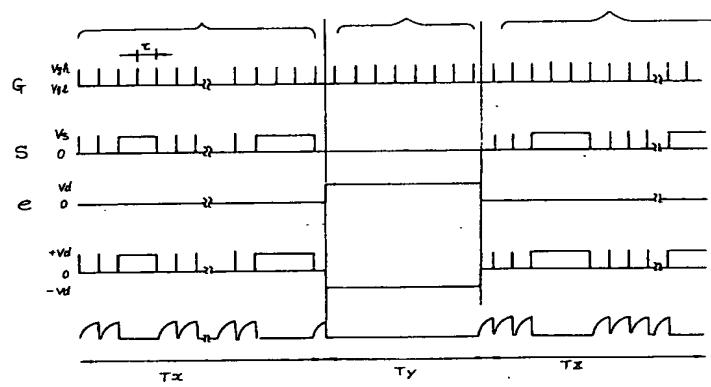
第12回



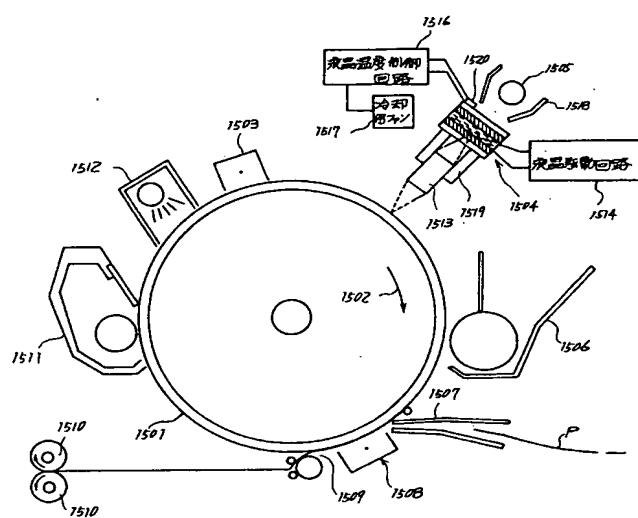
第13図



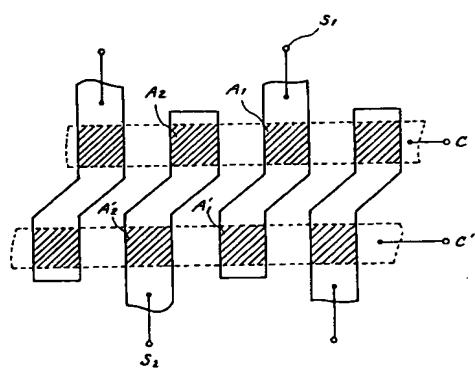
第14図



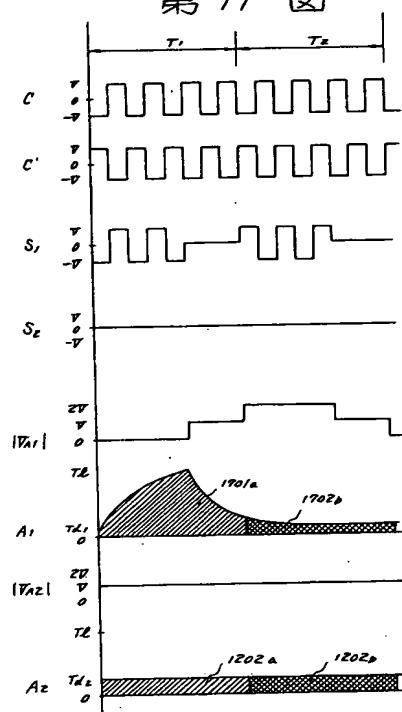
第15 図



第16 図



第17 図



第 18 図

